

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Motoi YAMAGUCHI  
Title: INPUT PROTECTION CIRCUIT  
Appl. No.: Unassigned  
Filing Date: August 1, 2003  
Examiner: Unassigned  
Art Unit: Unassigned

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
PO Box 1450  
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2002-225848  
filed 08/02/2002.

Respectfully submitted,

Date: August 1, 2003

FOLEY & LARDNER  
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407  
Facsimile: (202) 672-5399

By Phillip J. Articola Reg. No. 38,819  
for / David A. Blumenthal  
Attorney for Applicant  
Registration No. 26,257

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 2日

出 願 番 号

Application Number:

特願2002-225848

[ST.10/C]:

[JP2002-225848]

出 願 人

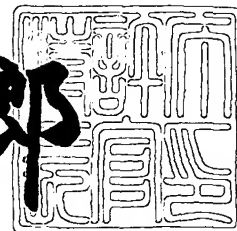
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034342

特 許 出 願 書

【書類名】 特許願

【整理番号】 74510270

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 山口 基

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100103894

【弁理士】

【氏名又は名称】 家入 健

【手数料の表示】

【予納台帳番号】 106760

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0118499

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 入力保護回路

【特許請求の範囲】

【請求項 1】

静電気などに起因する過大な入力信号から内部回路を保護する入力保護回路であって、

少なくとも入力抵抗と帰還抵抗と演算増幅器とを有し、入力端子から入力された入力信号の電位が前記内部回路に入力可能な信号の電位の範囲である入力範囲に含まれるように変換する入力信号変換手段と、

前記入力抵抗と前記演算増幅器との間の仮想接地節点と第一電源電位とに接続され、前記入力信号の電位が前記入力範囲を前記第一電源電位側に過大に超えた場合に当該入力信号の入力電流を前記第一電源電位側に流すことにより前記内部回路を保護する第一保護手段と、

前記入力端子と前記入力抵抗との間の任意の点と第二電源電位とに接続され、前記入力信号の電位が入力範囲を前記第二電源電位側に過大に超えた場合に電流を前記第二電源電位から前記入力端子に流すことにより前記内部回路を保護する第二保護手段とを備えた入力保護回路。

【請求項 2】

静電気などに起因する過大な入力信号から内部回路を保護する入力保護回路であって、

少なくとも入力抵抗と帰還抵抗と演算増幅器とを有し、入力端子から入力された入力信号の電位が前記内部回路に入力可能な信号の電位の範囲である入力範囲に含まれるように変換する入力信号変換手段と、

前記入力端子と前記入力抵抗との間の任意の点と第一電源電位とに接続され、前記入力信号の電位が入力範囲を前記第一電源電位側に過大に超えた場合に当該入力信号の入力電流を前記第一電源電位側に流すことにより前記内部回路を保護する第一保護手段と、

前記入力抵抗と前記演算増幅器との間の仮想接地節点と第二電源電位とに接続され、前記入力信号の電位が前記入力範囲を前記第二電源電位側に過大に超えた

場合に電流を前記第二電源電位から前記入力端子に流すことにより前記内部回路を保護する第二保護手段とを備えた入力保護回路。

【請求項 3】

前記入力信号変換手段は、前記入力端子から入力された入力信号の電位が前記第一電源電位もしくは前記第二電源電位を超えた場合も、入力信号の電位が入力範囲に含まれるように変換することを特徴とする請求項 1 又は 2 記載の入力保護回路。

【請求項 4】

前記演算増幅器は、バイアス電位を変化させることにより前記仮想接地節点での電位を変化させ、前記入力端子から入力された入力信号の電位が入力範囲を超えた入力信号の電位が入力範囲に含まれるように変換することを特徴とする請求項 1 乃至 3 のいずれか一つに記載の入力保護回路。

【請求項 5】

前記帰還抵抗は、複数の抵抗と該複数の抵抗を切替えて接続するスイッチとを有することを特徴とする請求項 1 又は 2 記載の入力保護回路。

【請求項 6】

前記演算増幅器は、前記入力信号が差動入力される差動演算増幅器であることを特徴とする請求項 1 乃至 5 のいずれか一つに記載の入力保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の入力保護回路に関し、特に、半導体集積回路を静電破壊から保護する入力保護回路に関する。

【0002】

【従来の技術】

従来、半導体集積回路（以下、ICと略す）に高電圧の静電気が印加されると、ICの内部回路が静電破壊されるという問題が知られている。このICの静電破壊を防止するために、種々の技術が提示されている。

【0003】

通常、ICの静電破壊を防止する技術として、静電気ノイズ等からIC内部回路を保護するため、信号が入力される入力端子の周辺部分には、複数の静電保護用ダイオードが両電源の間に直列的に配置される。静電保護用ダイオードは、入力端子と正電源との間、入力端子と負電源との間に接続される。そのため、入力端子には、（負電源電圧－ダイオードしきい値電圧）以下の電圧、（正電源電圧＋ダイオードしきい値電圧）以上の電圧信号を入力することはできない。

#### 【0004】

このような従来の入力保護回路について、図14乃至図17を用いて説明する。図14は従来の入力保護回路の一例を示すブロック図である。図14に示すように、入力端子T1001と正電源端子T1002及び負電源端子T1003との間に保護ダイオードD1001及びD1002を接続して構成される。図14に示す従来の入力保護回路では、入力端子T1001に直接保護ダイオードD1001、D1002が接続されている。また、図14と同様に構成される入力保護回路は、例えば、特許第2757701号公報や特開2000-22077号公報に開示されている。

#### 【0005】

正電源電位レベルをVDD、負電源電位レベルをVSS、保護ダイオードD1001及びD1002のしきい値電圧（順方向降下電圧ともいい、一般に約0.7V程度）をVFとすると、入力端子T1001に印加される電位V1がVDD＋VFを超えると保護ダイオードD1001がオン状態となる。逆に、入力端子T1001に印加される電位V1がVSS－VFを下回ると保護ダイオードD1002がオン状態となる。そのため、図14に示す従来の入力保護回路では、図15に示すように、VDD＋VFを超える入力信号やVSS－VFを下回る入力信号を内部回路1001に伝搬することができない。

#### 【0006】

また、入力端子T1001に入力される入力信号がVDD＋VFを超えなくても、VDDを超えれば保護ダイオードD1001には順方向電圧が印加される。これにより、入力端子T1001から正電源端子T1002方向に順方向リーク電流I1002が生じる。

#### 【０００７】

さらに、内部回路１００１の入力インピーダンスが有限である場合、図１６に示すように、本来内部回路１００１に向かって流れるべき入力信号電流 $I_{1001}$ の一部が、入力信号電位 $V_1$ が $V_{DD}$ を超えた時点で保護ダイオード $D_{1001}$ を介して正電源端子 $T_{1002}$ 方向にも分流する。そのため、保護ダイオード $D_{1001}$ から正電源端子 $T_{1002}$ 方向に分流するリーク電流 $I_{1002}$ によって入力信号波形に歪が生じる。

#### 【０００８】

保護ダイオード $D_2$ にも同様のことが言え、図１７に示すように入力信号電位が $V_{SS}$ を下回った時点で保護ダイオード $D_2$ には順方向リーク電流 $I_{1004}$ が生じ、入力信号波形に歪が生じる。

#### 【０００９】

そして、特開２０００－２２０７７号公報に開示されている入力保護回路のように、入力端子 $T_{1001}$ と保護ダイオード $D_1$ 、 $D_2$ との間に反転増幅回路の入力抵抗等の素子が接続される場合には、 $IC$ の内部回路を静電破壊する高電圧の静電気が印加されると、 $IC$ の内部回路が静電破壊される前に入力端子 $T_{1001}$ に接続される素子が静電破壊されてしまう。

#### 【００１０】

##### 【発明が解決しようとする課題】

このように、従来の入力保護回路では、正電源電位を超える入力信号もしくは負電源電位を下回る入力信号は歪を生じるという問題があった。さらには、特許公開２０００－２２０７７号公報に開示されている方法で前記問題の解決を図った場合、入力抵抗が静電破壊されるという問題点があった。

#### 【００１１】

本発明は、このような問題点を解決するためになされたもので、静電破壊を防止しつつ、入力信号の波形を良好に保つことができ、さらには入力抵抗の静電破壊を防ぐことができる入力保護回路を提供することを目的とする。

#### 【００１２】

##### 【課題を解決するための手段】

本発明にかかる入力保護回路は、静電気などに起因する過大な入力信号から内部回路を保護する入力保護回路であって、少なくとも入力抵抗と帰還抵抗と演算増幅器とを有し、入力端子から入力された入力信号の電位が前記内部回路に入力可能な信号の電位の範囲である入力範囲に含まれるように変換する入力信号変換手段（例えば、発明の実施の形態における反転増幅回路１０）と、前記入力抵抗と前記演算増幅器との間の仮想接地節点と第一電源電位とに接続され、前記入力信号の電位が前記入力範囲を前記第一電源電位側に過大に超えた場合に当該入力信号の入力電流を前記第一電源電位側に流すことにより前記内部回路を保護する第一保護手段（例えば、発明の実施の形態１における保護ダイオードＤ１）と、前記入力端子と前記入力抵抗との間の任意の点と第二電源電位とに接続され、前記入力信号の電位が入力範囲を前記第二電源電位側に過大に超えた場合に電流を前記第二電源電位から前記入力端子に流すことにより前記内部回路を保護する第二保護手段（例えば、発明の実施の形態１における保護ダイオードＤ２）とを備えたものである。このような構成により、静電破壊により内部回路が破壊されるのを防止しつつ、入力信号の波形を良好な状態に保ち、さらには入力抵抗の静電破壊を防ぐことができる。

#### 【００１３】

他方、本発明にかかる入力保護回路は、静電気などに起因する過大な入力信号から内部回路を保護する入力保護回路であって、少なくとも入力抵抗と帰還抵抗と演算増幅器とを有し、入力端子から入力された入力信号の電位が前記内部回路に入力可能な信号の電位の範囲である入力範囲に含まれるように変換する入力信号変換手段（例えば、発明の実施の形態における反転増幅回路１０）と、前記入力端子と前記入力抵抗との間の任意の点と第一電源電位とに接続され、前記入力信号の電位が入力範囲を前記第一電源電位側に過大に超えた場合に当該入力信号の入力電流を前記第一電源電位側に流すことにより前記内部回路を保護する第一保護手段（例えば、発明の実施の形態２における保護ダイオードＤ１）と、前記入力抵抗と前記演算増幅器との間の仮想接地節点と第二電源電位とに接続され、前記入力信号の電位が前記入力範囲を前記第二電源電位側に過大に超えた場合に電流を前記第二電源電位から前記入力端子に流すことにより前記内部回路を保護



する第二保護手段（例えば、発明の実施の形態２における保護ダイオードＤ２）とを備えたものである。このような構成により、静電破壊により内部回路が破壊されるのを防止しつつ、入力信号の波形を良好な状態に保ち、さらには入力抵抗の静電破壊を防ぐことができる。

#### 【００１４】

さらに、本発明にかかる入力保護回路では、前記入力信号変換手段は、前記入力端子から入力された入力信号の電位が前記第一電源電位もしくは前記第二電源電位を超えた場合も、入力信号の電位が入力範囲に含まれるように変換する。これにより、前記内部回路の入力範囲を超えた入力信号を入力した場合でも入力信号の波形を確実に良好な状態に保つことができる。

#### 【００１５】

さらにまた、本発明にかかる入力保護回路では、前記演算増幅器は、バイアス電位を変化させることにより前記仮想接地節点での電位を変化させ、前記入力端子から入力された入力信号の電位が入力範囲を超えた入力信号の電位が入力範囲に含まれるように変換する。これにより、入力信号を内部回路の入力範囲に含むように確実に変換させることができる。

#### 【００１６】

また、本発明にかかる入力保護回路では、前記帰還抵抗は、複数の抵抗と該複数の抵抗を切替えて接続するスイッチとを有する。これにより、入力信号の電位が異なる場合に対応することができる。

#### 【００１７】

ここで、本発明にかかる入力保護回路では、前記演算増幅器は、前記入力信号が差動入力される差動演算増幅器とすることができる。これにより、入力信号をより増幅させる場合でも、静電破壊により内部回路が破壊されるのを防ぎつつ、入力信号の波形を良好な状態に保つことができ、さらには入力抵抗の静電破壊を防ぐことができる。

#### 【００１８】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図を参照して説明する。

#### 【0019】

発明の実施の形態1.

発明の実施の形態1（以下、実施形態1と略す）における入力保護回路では、入力端子と正負の両電源との間にそれぞれ保護ダイオードが接続され、入力端子と負電源との間の保護ダイオードが入力端子に直接接続される。

#### 【0020】

まず、図1を用いて、実施形態1における入力保護回路について説明する。図1は、実施形態1の入力保護回路を示すブロック図である。図1に示すように、基本的な要素として、入力保護回路は、反転増幅回路10、保護ダイオードD1、D2から構成される。

#### 【0021】

反転増幅回路10は、演算増幅器OPと抵抗R1と抵抗R2とを有する。演算増幅器OPは、一般によく知られた演算増幅器であり、－（マイナス）で示される反転入力端子と、＋（プラス）で示される非反転入力端子の2入力端子に加えられた電位差を増幅し、出力端子に出力する演算増幅器である。

#### 【0022】

抵抗R1、R2は、一般の抵抗素子である。ここで、抵抗R1と抵抗R2とは、同じ特性を持つように、同じ材質を用いて作られることが望ましい。特に、半導体集積回路においては抵抗値の電圧依存性が小さい多結晶シリコン（ポリシリコン）膜層を使用して作られることがより望ましい。また、P型拡散層又はN型拡散層といった半導体層を用いて抵抗R1、R2を作っても良い。

#### 【0023】

保護ダイオードD1は、図1に示すように、正電源端子T2に接続されるとともに、反転増幅回路10の仮想接地節点N1に接続される。すなわち、保護ダイオードD1は、演算増幅器OPの反転入力端子（－）に接続されている。また、図1に示すように、保護ダイオードD1は、仮想接地節点N1から正電源端子T2を見て順バイアスとなるように接続されている。

#### 【0024】

保護ダイオードD2は、負電源端子T3に接続されるとともに信号入力端子T

1に直接接続される。すなわち、保護ダイオードD2は、抵抗R1に接続されている。また、図1に示すように、保護ダイオードD2は、信号入力端子T1から負電源端子T3を見て逆バイアスとなるように接続されている。また、信号入力端子T1は、このように反転増幅回路10と保護ダイオードD1、D2から構成される入力保護回路を介して、IC内部回路11に接続される。

#### 【0025】

保護ダイオードD1、D2は、半導体集積回路ではP型拡散層とN型拡散層の2つの半導体層を用いて作ることができる。また、MOSトランジスタを使って保護ダイオードを構成することもできる。例えば、図2に示すように、図1において正電源端子T2と仮想接地節点N1との間に接続される保護ダイオードD1は、P型MOSトランジスタ20を用いて構成することができる。この場合、ソース端子とゲート端子を接続（ソースゲート接続）してカソード端子とし、ドレイン端子をアノード端子とすることにより構成できる。また、図2に示すように、図1において負電源端子T3と仮想接地節点N1との間に接続される保護ダイオードD2は、N型MOSトランジスタ21を用いて構成することができる。ソース端子とゲート端子を接続（ソースゲート接続）してアノード端子とし、ドレイン端子をカソード端子とすることにより構成できる。

#### 【0026】

次に、図3乃至図5を用いて実施形態1における入力保護回路の動作について説明する。図3は、実施形態1の入力保護回路に入力される入力信号を示す信号レベル図である。図4及び図5は、実施形態1の入力保護回路の動作を示すブロック図である。

#### 【0027】

なお、正電源端子T2に印加される電位レベルをVDD、負電源端子T3に印加される電位レベルをVSS、信号入力端子T1に印加される入力信号の電位レベル（入力電位）V1、バイアス入力端子N2に印加されるバイアス電位レベルをVC、IC内部回路91に入力される信号の電位レベルをV3とし、図3に各電位レベルの関係が示されている。

#### 【0028】

一般に、演算増幅回路が理想特性を有する場合、仮想接地節点N 1の電位レベルV 2はバイアス入力端子N 2の電位レベルV Cと常に同じ電位に保たれる。また、実際の演算増幅回路は理想特性に十分近い特性を有する素子と仮定することができる。そのため、反転増幅回路10が正常に動作している範囲では、仮想接地節点N 1の電位レベルV 2はバイアス入力端子N 2の電位レベルV Cと常に略同じ電位に保たれ、 $V 2 = V C$ とみなすことができる。このとき、図1の反転増幅回路10において、抵抗R 1の抵抗値を $r 1$ 、抵抗R 2の抵抗値を $r 2$ とすると、反転増幅回路10の入力電位V 1と出力電位V 3との間には次の数1に示す関係式が成り立つ。

【0029】

【数1】

$$V 3 - V C = - (r 2 / r 1) * (V 1 - V C)$$

【0030】

図3を用いて、反転増幅回路10が正常に動作する入力範囲にある通常の電位が入力端子T 1に印加された場合の入力保護回路の動作について説明する。入力端子T 1に印加された入力信号の電位レベルV 1は、反転増幅回路10で数1に示す式に従って電位レベルV 3に変換され、IC内部回路11へ伝搬される。ここで、抵抗R 1の抵抗値 $r 1$ を抵抗R 2の抵抗値 $r 2$ より大きくし、反転増幅回路10の増幅利得を1以下とすることができる。この場合図3に示すように、正電源電位レベルV D Dを上回る入力信号V 1が入力端子T 1に印可されても、反転増幅回路10で減衰かつレベルシフトすることで、電源電位V D DとV S Sの範囲に収まる信号V 3に変換し、IC内部回路11へ伝搬することが可能である。このとき仮想接地節点N 1の電位V 2はバイアス電位V Cと同電位が保たれるため、バイアス電位V Cを $V S S < V C (= V 2) < V D D$ としておけば保護ダイオードD 1に順方向電圧がかかってオン状態となることはない。また入力信号V 1が負電源電位レベルV S Sを下回らなければ、保護ダイオードD 2がオン状態になることもない。

【0031】

このように、実施形態 1 における入力保護回路では、反転増幅回路 10 が正常に動作する入力範囲においては、入力電流  $I_{50}$  が保護ダイオード D1、D2 に流れ込むことがない。そのため、入力信号 V1 が保護ダイオード D1、D2 のリーク電流によって歪むことがなく、入力信号 V1 を良好な状態で IC 内部回路に入力することができる。

#### 【0032】

さらに、実施形態 1 における入力保護回路では、反転増幅回路 10 のループ利得（抵抗 R1 と抵抗 R2 との抵抗値の比）、バイアス電位レベル VC を入力信号 V1 の信号レベルに応じて任意に適切な値に設定することができる。そのため、半導体集積回路の電源電位レベル VDD に制限されることなく、かつ半導体集積回路の外部に減衰器やレベルシフト回路を設けることなく、あらゆるレベルの入力信号 V1 を内部回路で処理可能な信号 V3 に変換して IC 内部回路 11 へ伝搬することが可能である。

#### 【0033】

次に図 4 及び図 5 を用いて、反転増幅回路 10 の入力範囲をはるかに越える過大な電圧（サージ電圧）が入力端子 T1 に印加された場合の入力保護回路の動作について説明する。この場合として、静電気等により反転増幅回路 10 の入力範囲をはるかに超える過大な電圧が入力端子 T1 に印加される場合がある。

#### 【0034】

図 4 に示すように、入力端子 T1 に正電源電位 VDD をはるかに超える正の電位が印加された場合、入力電位 V1 が正電源電位 VDD よりもはるかに大きくなり、反転増幅回路 10 の出力電位 V3 はその下限電位（VSS 付近）に張り付く。それとともに、仮想接地節点 N1 の電位は、入力端子 T1 での入力電位 V1 が正電源電位 VDD をはるかに超える正の電位であるため、入力電位 V1 の上昇につられて上昇し正電源電位 VDD を超える。

#### 【0035】

保護ダイオード D1 のしきい値電圧を  $V_F$  とすると、仮想接地節点 N1 の電位が  $VDD + V_F$  を越えると、保護ダイオード D1 は、順方向電圧がかかってオン状態になる。これにより、入力端子 T1 から抵抗 R1 及び保護ダイオード D1 を

介して正電源端子T 2に電流I 4 1が流れる。このとき、保護ダイオードD 2にかかる電圧が逆方向降伏電圧（これは、一般には数10V程度）を超えていれば、入力端子T 1から保護ダイオードD 2を介して負電源端子T 3方向にも電流（保護ダイオードD 2の逆方向降伏電流）I 4 1 Dが流れる。

#### 【0036】

そして、入力端子T 1から流れる電流は、主に電流I 4 1と電流I 4 1 Dに分流して流れる。保護ダイオードD 1のオン抵抗は、抵抗R 2の抵抗値r 2より十分に小さくできるので、演算増幅器OP及びIC内部回路11に流れ込む電流I 4 2は極めて小さくなる。また、仮想接地節点N 1の電位もVDD+VFを大きく超えることはなく、演算増幅器OPの入力部に過大な電圧がかかることはない。また入力電位V 1が保護ダイオードD 2の逆方向降伏電圧を超えた場合、保護ダイオードD 2の逆方向オン抵抗は抵抗R 1の抵抗値r 1より十分小さくなるので、抵抗R 1に流れる電流I 4 1は極めて小さくなる。

#### 【0037】

図5に示すように、入力端子T 1に負電源電位VSSをはるかに下回る負の電位が印加された場合、保護ダイオードD 2がオン状態となり負電源端子T 3から保護ダイオードD 2を介して入力端子T 1に向かって電流I 5 3が流れる。

#### 【0038】

保護ダイオードD 2のオン抵抗は、抵抗R 1及びR 2の抵抗値r 1及びr 2と比較して十分小さくできるので、演算増幅器OP及びIC内部回路11から流れ出る電流I 5 4は極めて小さくなる。また仮想接地点N 1の電位もVSS-VFを大きく下回ることはない。

#### 【0039】

このように、実施形態1の入力保護回路では、入力端子T 1に過大な電圧（サージ電圧）が印加された場合、保護ダイオードD 1またはD 2がオン状態になる。これにより、IC内部回路11及び演算増幅器OPに過大な電流が流れることを防ぎ、IC内部回路11及び演算増幅器OPを静電破壊から保護することができる。

#### 【0040】

さらに、実施形態１の入力保護回路では、入力端子Ｔ１に保護ダイオードＤ２を直接接続するため、抵抗Ｒ１に流れる電流を小さくすることができる。そのため、抵抗Ｒ１にかかる電圧を小さく抑えることができる。これにより、ＩＣ内部回路１１及び演算増幅器ＯＰを静電破壊から保護できるとともに、入力抵抗Ｒ１が過大な電圧や過大な電流によって破壊されることを防ぐことができる。

#### 【００４１】

以上のように、実施形態１の入力保護回路では、入力端子Ｔ１に印可される入力信号Ｖ１が図３に示すように正電源電位レベルＶＤＤを上回ることにはあるが負電源電位レベルＶＳＳを下回ることはない場合に、入力信号Ｖ１も歪ませることなくＩＣ内部回路１１へ良好な状態で伝搬することでき、かつ過大な電圧（サージ電圧）が印可された場合は、保護ダイオードＤ１またはＤ２がオン状態になることで、ＩＣ内部回路１１及び演算増幅器ＯＰ及び入力抵抗Ｒ１が過大な電圧や過大な電流によって破壊されることを防ぐことができる。

#### 【００４２】

さらに実施形態１の入力保護回路では、仮想接地節点Ｎ１の電位Ｖ２が常に一定の電位ＶＣに保たれるため、入力インピーダンスを抵抗Ｒ１の抵抗値 $r_1$ のみによって決めることができ、半導体集積回路を効率良く設計することができる。

#### 【００４３】

発明の実施の形態２．

発明の実施の形態２（以下、実施形態２と略す）における入力保護回路では、入力端子と正負の両電源との間にそれぞれ保護ダイオードが接続され、入力端子と正電源との間の保護ダイオードが入力端子に直接接続される。

#### 【００４４】

まず、図６を用いて、実施形態２における入力保護回路について説明する。図６は、実施形態２の入力保護回路を示すブロック図である。図６に示すように、実施形態２における入力保護回路は、実施形態１と同様に、基本的な要素として、反転増幅回路１０、保護ダイオードＤ１、Ｄ２から構成される。反転増幅回路１０は、実施形態１と同様に構成されるため、ここではその説明を省略する。また、保護ダイオードＤ１、Ｄ２は、実施形態１と同様に作ることができる。

#### 【0045】

図6に示すように、入力保護回路の保護ダイオードD1は、正電源端子T2に接続されるとともに信号入力端子T1に直接接続される。また、信号入力端子T1から正電源端子T2を見て順バイアスとなるように接続されている。これに対して、保護ダイオードD2は、図6に示すように、負電源端子T3に接続されるとともに、反転増幅回路10の仮想接地節点N1に接続される。すなわち、保護ダイオードD2は、演算増幅器OPの反転入力端子(−)に接続されている。また、保護ダイオードD2は、仮想接地節点N1から負電源端子T3を見て逆バイアスとなるように接続されている。

#### 【0046】

次に、図7乃至図9を用いて実施形態2における入力保護回路の動作について説明する。図7は、実施形態2の入力保護回路に入力される入力信号を示す信号レベル図である。図8及び図9は、実施形態2の入力保護回路の動作を示すブロック図である。

#### 【0047】

図7を用いて、反転増幅回路10が正常に動作する入力範囲にある通常の電位が入力端子T1に印加された場合の入力保護回路の動作について説明する。入力端子T1に印加された入力信号の電位レベルV1は、実施形態1と同様に反転増幅回路10で電位レベルV3に変換され、IC内部回路11へ伝搬される。実施形態1と同様に、反転増幅回路10の増幅利得を1以下とすることで、図7に示すように負電源電位レベルVSSを下回る入力信号V1が入力端子T1に印可されても、反転増幅回路10で減衰かつレベルシフトし、電源電位VDDとVSSの範囲に収まる信号V3に変換し、IC内部回路11へ伝搬することが可能である。このとき、仮想接地節点N1の電位V2はバイアス電位VCと常に同電位に保たれるので、保護ダイオードD2がオン状態になることはない。また、入力信号V1が正電源電位レベルVDDを上回らなければ、保護ダイオードD1もオン状態になることはない。

#### 【0048】

このように実施形態2における入力保護回路では、反転増幅回路10が正常に



動作する入力範囲においては、入力電流  $I_{60}$  が保護ダイオード  $D_1$ 、 $D_2$  に流れ込むことがない。そのため、入力信号  $V_1$  が保護ダイオード  $D_1$ 、 $D_2$  のリーク電流によって歪むことがなく、入力信号  $V_1$  を良好な状態で IC 内部回路に入力することができる。

#### 【0049】

さらに、実施形態 2 における入力保護回路では、反転増幅回路 10 の利得（抵抗  $R_1$  と抵抗  $R_2$  との抵抗値の比）、バイアス電位レベル  $V_C$  を入力信号  $V_1$  の信号レベルに応じて任意に適切な値に設定することができる。そのため、半導体集積回路の電源電位レベル  $V_{SS}$  に制限されることなく、かつ半導体集積回路の外部に減衰器やレベルシフト回路を設けることなく、あらゆるレベルの入力信号  $V_1$  を内部回路で処理可能な信号  $V_3$  に変換して IC 内部回路 11 へ伝搬することが可能である。

#### 【0050】

図 8 及び図 9 を用いて、反転増幅回路 10 の入力範囲をはるかに越える過大な電圧（サージ電圧）が入力端子  $T_1$  に印加された場合の入力保護回路の動作について説明する。この場合として、静電気等により反転増幅回路 10 の入力範囲をはるかに超える過大な電圧が入力端子  $T_1$  に印加される場合がある。

#### 【0051】

図 8 に示すように、入力端子  $T_1$  に負電源電位  $V_{SS}$  をはるかに下回る負の電位が印加された場合、入力電位  $V_1$  が負電源電位  $V_{SS}$  よりもはるかに小さくなり、反転増幅回路 10 の出力電位  $V_3$  はその上限電位（ $V_{DD}$  付近）に張り付く。それとともに、仮想接地節点  $N_1$  の電位は、入力端子  $T_1$  での入力電位  $V_1$  が負電源電位  $V_{SS}$  をはるかに下回る電位であるため、入力電位  $V_1$  の下降につられて下降し負電源電位  $V_{SS}$  を下回る。

#### 【0052】

保護ダイオード  $D_2$  のしきい値電圧を  $V_F$  とすると、仮想接地節点  $N_1$  の電位が  $V_{SS} - V_F$  を下回ると、保護ダイオード  $D_2$  には順方向電圧がかかってオン状態になる。これにより、負電源端子  $T_3$  から保護ダイオード  $D_2$  および抵抗  $R_1$  を介して入力端子  $T_1$  に向かって電流  $I_{81}$  が流れる。このとき、保護ダイオ

ードD 1にかかる電圧が逆方向降伏電圧を超えていれば、正電源端子T 2から保護ダイオードD 1を介して入力端子T 1方向にも電流（保護ダイオードD 1の逆方向降伏電流） $I_{81D}$ が流れる。

【0053】

そして、入力端子T 1に流れ込む電流は主に電流 $I_{81}$ と電流 $I_{81D}$ に分流して流れる。保護ダイオードD 2のオン抵抗と比較して抵抗R 1及びR 2の抵抗値 $r_1$ 及び $r_2$ は十分大きくすることができるので、演算増幅器OP及びIC内部回路11から流れる電流 $I_{82}$ は極めて小さくなる。また、仮想接地節点N 1の電位も $V_{SS}-V_F$ を大きく下回ることとはなく、演算増幅器OPの入力部に過大な電圧がかかることはない。また入力電位 $V_1$ が保護ダイオードD 1の逆方向降伏電圧を超えた場合、保護ダイオードD 2の逆方向オン抵抗は抵抗R 1の抵抗値 $r_1$ より十分小さくなるので、抵抗R 1に流れる電流 $I_{81}$ も極めて小さくなる。

【0054】

図9に示すように、入力端子T 1に正電源電位VDDをはるかに上回る電位が印可された場合、保護ダイオードD 1がオン状態となり、入力端子T 1から保護ダイオードD 1を介して正電源端子T 2に向かって電流 $I_{93}$ が流れる。保護ダイオードD 1のオン抵抗は、抵抗R 1およびR 2の抵抗値 $r_1$ 及び $r_2$ と比較して十分小さくできるので、演算増幅器OPおよびIC内部回路に流れ込む電流 $I_{94}$ は極めて小さくなる。また仮想接地節点N 1の電位も $V_{DD}+V_F$ を大きく上回ることはない。

【0055】

このように、実施形態2の入力保護回路では、入力端子T 1に過大な電圧（サージ電圧）が印加された場合、保護ダイオードD 1またはD 2がオン状態になる。これにより、IC内部回路11及び演算増幅器OPに過大な電流が流れることを防ぎ、IC内部回路11及び演算増幅器OPを静電破壊から保護することができる。

【0056】

さらに、実施形態2の入力保護回路では、入力端子T 1に保護ダイオードD 1

を直接接続するため、抵抗  $R_1$  に流れる電流を小さくすることができる。そのため、抵抗  $R_1$  にかかる電圧を小さく抑えることができる。これにより、IC 内部回路 11 及び演算増幅器 OP を静電破壊から保護できるとともに、入力抵抗  $R_1$  が過大な電圧や過大な電流によって破壊されることを防ぐことができる。

#### 【0057】

以上のように、実施形態 2 の入力保護回路では、入力端子 T1 に印可される入力信号  $V_1$  が図 7 に示すように負電源電位レベル  $V_{SS}$  を下回ることにはあるが正電源電位レベル  $V_{DD}$  を上回ることはない場合に、入力信号  $V_1$  を歪ませることなく IC 内部回路 11 へ良好な状態で伝搬することでき、かつ過大な電圧（サージ電圧）が印可された場合は、保護ダイオード D1 または D2 がオン状態になることで、IC 内部回路 11 及び演算増幅器 OP 及び入力抵抗  $R_1$  が過大な電圧や過大な電流によって破壊されることを防ぐことができる。

#### 【0058】

さらに実施形態 2 の入力保護回路では、仮想接地節点 N1 の電位  $V_2$  が常に一定の電位  $V_C$  に保たれるため、入力インピーダンスを抵抗  $R_1$  の抵抗値  $r_1$  のみによって決めることができ、半導体集積回路を効率良く設計することができる。

#### 【0059】

発明の実施の形態 3.

発明の実施の形態 3（以下、実施形態 3 と略す）における入力保護回路では、入力端子と正負の両電源との間にそれぞれ保護ダイオードが接続され、実施形態 1 と同様に、入力端子と負電源との間の保護ダイオードが入力端子に直接接続される。

#### 【0060】

まず、図 10 を用いて、実施形態 3 における入力保護回路について説明する。図 10 は、実施形態 3 の入力保護回路を示すブロック図である。図 10 に示すように、実施形態 3 における入力保護回路は、実施形態 1 と同様に、基本的な要素として、反転増幅回路 10a、保護ダイオード D1、D2 から構成される。保護ダイオード D1、D2 は、実施形態 1 と同様に構成されるため、ここではその説明を省略する。また、保護ダイオード D1、D2 は、実施形態 1 と同様に作るこ

とができる。

#### 【0061】

図10に示すように、実施形態3における入力保護回路の反転増幅回路10aは、抵抗R2の抵抗値、バイアス電位レベルVCをスイッチにより切替えることができる構造を有している。図11に示すように、反転増幅回路10aの抵抗R2は、m個のスイッチによりその抵抗値をr21からr2mまでのm通りに切替えることが可能な構造となっている。また、図10に示すように、演算増幅器OPの正入力端子に入力されるバイアス電位レベルVCも、n個のスイッチによりその電位をVC1からVCnまでのn通りに切替えることが可能な構造となっている。

#### 【0062】

次に、実施形態3における入力保護回路の動作について説明する。実施形態3における入力保護回路は、反転増幅回路10aが正常に動作する入力範囲にある通常の電圧が入力端子T1に印加された場合、実施形態1と同様に、入力端子T1に印加された入力信号の電位レベルV1は反転増幅回路10aで電位レベルV3に変換され、IC内部回路11へ伝搬される。正電源電位レベルVDDを上回る入力信号V1が入力端子T1に印可されても、図3に示すように反転増幅回路10aで減衰かつレベルシフトし、電源電位VDDとVSSの範囲に収まる信号V3に変換し、IC内部回路11へ伝搬することが可能である。ここで、帰還抵抗R2の抵抗値をr21～r2mのどの抵抗値に選択しても、反転増幅回路10aが正常に動作する入力範囲においては仮想接地節点N1の電位V2はバイアス電位VCと常に同電位に保たれるので、保護ダイオードD1がオン状態になることはない。

#### 【0063】

したがって実施形態3における入力保護回路では、反転増幅回路10aが正常に動作する入力範囲においては、入力電流I100が保護ダイオードD1、D2に流れ込むことはない。そのため、入力信号V1が保護ダイオードD1、D2のリーク電流によって歪むことがなく、入力信号V1を良好な状態でIC内部回路に伝搬することができる。

#### 【0064】

さらに、実施形態3における入力保護回路では、反転増幅回路10aの利得（抵抗R1と抵抗R2との抵抗値の比）、バイアス電位レベルVCを入力信号V1の信号レベルに応じて任意に適切な値に設定することができる。そのため、半導体集積回路の電源電位レベルVDDに制限されることなく、かつ半導体集積回路の外部に減衰器やレベルシフト回路を設けることなく、あらゆるレベルの入力信号V1を内部回路で処理可能な信号V3に変換してIC内部回路11へ伝搬することが可能である。

#### 【0065】

反転増幅回路10aの入力範囲をはるかに越える過大な電圧（サージ電圧）が入力端子T1に印加された場合、実施形態3の入力保護回路は、実施形態1と同様の動作を行う。

#### 【0066】

入力端子T1に正電源電位VDDをはるかに超える正の電位が印加された場合、正電源電位VDDをはるかに超える正入力電位によって生じる入力電流のほとんどは抵抗R1および保護ダイオードD1を介して入力端子T1から正電源端子T2に流れ込むか、保護ダイオードD2を通して入力端子T1から負電源端子T3に流れ込む（逆方向降伏電流）。そのため、演算増幅器OP及びIC内部回路11に流れ込む電流は極めて小さくなり、演算増幅器OPの入力部に過大な電圧がかかることなく、演算増幅器OPの入力部が過大な電圧で破壊されることがない。

#### 【0067】

入力端子T1に負電源電位VSSをはるかに下回る負の電位が印加された場合、保護ダイオードD2を介して負電源端子T3から入力端子T1に電流が流れ、演算増幅器OP及びIC内部回路11から入力端子T1に流れ込む電流は極めて小さい。

#### 【0068】

このように、実施形態3の入力保護回路では、入力端子T1に過大な電圧（サージ電圧）が印加された場合、保護ダイオードD1、D2がオン状態になる。こ

れにより、IC内部回路11及び演算増幅器OPに過大な電流が流れることを防ぎ、IC内部回路11及び演算増幅器OPを静電破壊から保護することができる。

#### 【0069】

さらに、実施形態3の入力保護回路では、入力端子T1に保護ダイオードD2を直接接続するため、抵抗R1に流れる電流を小さくすることができる。そのため、抵抗R1にかかる電圧を小さく抑えることができる。これにより、IC内部回路11及び演算増幅器OPを静電破壊から保護できるとともに、入力抵抗R1が過大な電圧や過大な電流によって破壊されることを防ぐことができる。

#### 【0070】

さらに、実施形態3における入力保護回路では、半導体集積回路製造後に、入力電圧V1の範囲に応じて適切な増幅率やバイアス電位レベルVCを設定することができる。そのため、一つの回路を入力信号範囲（仕様）の異なるあらゆるアプリケーションに用いることができ、半導体集積回路の生産コストの低減を図ることができる。

#### 【0071】

さらに、時間経過によって入力信号V1の範囲が大きく変化するアプリケーションにおいても、信号範囲の変化に応じて反転増幅回路10aの増幅率及びバイアス電位レベルVCを適切な値に切替えることにより、常に効率の良い信号の伝搬を行うことができる。これにより、IC内部回路11及び演算増幅器OPが過大な電圧や過大な電流により破壊されるのを防止しつつ、入力信号V1を良好な状態で効率良くIC内部回路11に効率良く伝搬することが可能となる。

#### 【0072】

発明の実施の形態4.

発明の実施の形態4（以下、実施形態4と略す）における入力保護回路は、実施形態1乃至実施形態3がシングルエンド信号入力に対する入力保護回路であるのに対し、差動入力信号に対する入力保護回路である。

#### 【0073】

実施形態4の入力保護回路では、入力端子と正負の両電源との間にそれぞれ保

保護ダイオードが接続され、実施形態 1 と同様に、入力端子と負電源との間の保護ダイオードが入力端子に直接接続される。つまり、実施形態 4 は、入力信号を差動入力する差動反転増幅回路に実施形態 1 を応用した場合となる。なお、実施形態 2 や実施形態 3 と同様に、入力端子と負電源との間に保護ダイオードを入力端子に直接接続しても良い。

#### 【0074】

まず、図 12 を用いて、実施形態 4 における入力保護回路について説明する。図 12 は、実施形態 4 の入力保護回路を示すブロック図である。図 12 に示すように、実施形態 4 の入力保護回路は、基本的な要素として、差動反転増幅回路 90、保護ダイオード D91、D92、D93、D94 から構成されている。

#### 【0075】

差動反転増幅回路 90 は、差動演算増幅器 OPD とコモンモードフィードバック回路 CMFB と抵抗 R91、R92、R93、R94 とを有する。差動演算増幅器 OPD は、一般によく知られた差動演算増幅器であり、－（マイナス）で示される反転入力端子と、＋（プラス）で示される非反転入力端子の 2 入力端子に加えられた電位差を増幅し、出力端子に出力する演算増幅器である。

#### 【0076】

コモンモードフィードバック回路 CMFB は、一般によく知られたコモンモードフィードバック回路であり、差動演算増幅器 OPD の出力 V3P、V3M の中間電位が、バイアス電位レベル V3C と同電位になるように、差動演算増幅器 OPD の内部バイアスレベルを調整する。

#### 【0077】

抵抗 R91、R92、R93、R94 は、実施形態 1 乃至実施形態 3 と同様の一般的な抵抗素子である。保護ダイオード D91、D92、D93、D94 も、実施形態 1 乃至実施形態 3 と同様の一般的なダイオードであり、MOS トランジスタを使って構成することができる。

#### 【0078】

保護ダイオード D91 は、図 12 に示すように、正電源端子 T2 に接続されるとともに、差動反転増幅回路 90 の仮想接地節点 N91 に接続される。すなわち

、保護ダイオードD91は、差動演算増幅器OPDの反転入力端子(−)に接続されている。また、図12に示すように、保護ダイオードD91は、仮想接地節点N91から正電源端子T2を見て順バイアスとなるように接続されている。

#### 【0079】

保護ダイオードD92は、負電源端子T3に接続されるとともに入力端子T91に直接接続される。すなわち、保護ダイオードD92は、抵抗R91に接続されている。また、図12に示すように、入力端子T91から負電源端子T3を見て逆バイアスとなるように接続されている。また、入力端子T91は、このように差動反転増幅回路90と保護ダイオードD91、D92から構成される入力保護回路を介して、IC内部回路11に接続される。

#### 【0080】

保護ダイオードD93は、図12に示すように、正電源端子T2に接続されるとともに、差動反転増幅回路90の仮想接地節点N92に接続される。すなわち、保護ダイオードD93は、差動演算増幅器OPDの反転入力端子(+)に接続されている。また、図12に示すように、保護ダイオードD93は、仮想接地節点N92から正電源端子T92を見て順バイアスとなるように接続されている。

#### 【0081】

保護ダイオードD94は、負電源端子T3に接続されるとともに入力端子T92に直接接続される。すなわち、保護ダイオードD94は、抵抗R93に接続されている。また、図12に示すように、保護ダイオードD94は、入力端子T92から負電源端子T3を見て逆バイアスとなるように接続されている。また、入力端子T92は、このように差動反転増幅回路90と保護ダイオードD93、D94から構成される入力保護回路を介して、IC内部回路11に接続される。

#### 【0082】

次に、図13を用いて実施形態4における入力保護回路の動作について説明する。図13は、実施形態4の入力保護回路に入力される入力信号を示す信号レベル図である。

#### 【0083】

なお、正電源端子T2に印加される電位レベルをVDD、負電源端子T3に印



付 2 0 0 2 2 2 0 4 0

加される電位レベルをVSS、入力端子T91、T92に印加される入力差動信号のそれぞれの電位レベル（入力電位）V1P、V1M、コモンモードフィードバック回路CMFBに印加される電位レベルをV3C、IC内部回路91に入力される入力差動信号の電位レベルをV3P、V3Mとし、図13に各電位レベルの関係が示されている。

【0084】

一般に、差動演算増幅回路が理想特性を有する場合、仮想接地節点N91、N92の電位レベルV2P、V2Mは常に同じ電位に保たれる。また、実際の差動演算増幅回路は理想特性に十分近い特性を有する素子と仮定することができる。そのため、差動反転増幅回路90が正常に動作している範囲では、仮想接地節点N91、N92の電位レベルV2P、V2Mは略同じ電位に保たれ、 $V2P = V2M$ とみなすことができる。そして、仮想接地節点N91、N92の電位レベルV2P、V2Mの中間電位をV1Cとして、図12の差動反転増幅回路90において、抵抗R91、R93の抵抗値を $r1$ 、抵抗R92、R94の抵抗値を $r2$ とすると、仮想接地節点の電位V2C（ $= V2P = V2M$ ）は次式で表される。

【0085】

【数2】

$$V2C = (r1 / (r1 + r2)) * (V1C - VC) + VC$$

【0086】

図12を用いて、差動反転増幅回路90が正常に動作する入力範囲にある通常の電圧が入力端子T91、T92に印加された場合の動作を説明する。実施形態4の入力保護回路は、実施形態1と同様に動作を行う。

【0087】

入力端子T91、T92に印可された入力信号V1P、V1Mは、差動反転増幅回路90で信号V3P、V3Mに変換され、IC内部回路91へ伝搬される。ここで、抵抗R91、R93の抵抗値 $r1$ を抵抗R92、R94の抵抗値 $r2$ より大きくし、差動反転増幅回路90の増幅利得を1以下とすることができる。この場合図13に示すように、正電源電位レベルVDDを上回る入力信号V1P、

V1Mが入力端子T91, T92に印可されても、差動反転増幅回路90で減衰かつレベルシフトされて、電源電位VDDとVSSの範囲に収まる信号V3P, V3Mに変換され、IC内部回路91へ伝搬することが可能である。このとき仮想接地節点N91, N92の電位V2P, V2Mは数2の式で決まる仮想接地電位V2Cと同電位が保たれるため、仮想接地電位V2Cを $VSS < VC (=V2P = V2M) < VDD$ としておけば保護ダイオードD91, D93に順方向電圧がかかってオン状態となることはない。また入力電位V1P, V1Mが負電源電位レベルVSSを下回らなければ、保護ダイオードD92, D94がオン状態になることもない。

#### 【0088】

このように、実施形態4における入力保護回路では、差動反転増幅回路90が正常に動作する入力範囲においては、入力電流が保護ダイオードD91, D92, D93, D94に流れ込むことがない。そのため、入力信号V1P, V1Mが保護ダイオードD91, D92, D93, D94のリーク電流によって歪むことがなく、入力信号V1P, V1Mを良好な状態でIC内部回路に入力することができる。

#### 【0089】

さらに、実施形態4における入力保護回路では、差動反転増幅回路90のループ利得、仮想接地節点の電位レベルV2C ( $=V2P = V2M$ ) を入力信号V1P, V1Mの信号レベルに応じて適切に設定することができる。そのため、半導体集積回路の電源電位レベルVDDに制限されることなく、かつ半導体集積回路の外部に減衰器やレベルシフト回路を設けることなく、あらゆるレベルの入力信号V1P, V1Mを内部回路で処理可能な信号V3P, V3Mに変換してIC内部回路91へ伝搬することが可能である。

#### 【0090】

差動反転増幅回路90の入力範囲をはるかに越える過大な電圧（サージ電圧）が入力端子T91, T92に印加された場合も、実施形態4の入力保護回路は、実施形態1の入力保護回路と同様に動作を行う。この場合として、静電気等により差動反転増幅回路90の入力範囲をはるかに超える過大な電圧が入力端子T9

1、T 9 2 に印加される場合がある。

#### 【0091】

入力端子T 9 1、T 9 2 に正電源電位V D Dをはるかに超える正の電位が印加された場合、正電源電位V D Dをはるかに超える正入力電位によって生じる入力電流のほとんどは保護ダイオードD 9 1、D 9 3を通して入力端子T 9 1、T 9 2 から正電源端子T 2 に流れ込む。また、保護ダイオードD 9 2、D 9 4にかかる電圧が逆方向降伏電圧（これは、一般には数10V程度）を超えていれば、入力端子T 1、T 2 から保護ダイオードD 9 2、D 9 4を介して負電源端子T 3 方向にも電流（保護ダイオードD 2 の逆方向降伏電流）が流れる。このように、差動演算増幅器O P D及びI C内部回路9 1から流れる電流は極めて小さくなり、差動演算増幅器O P Dの入力部に過大な電圧がかかることなく、差動演算増幅器O P Dの入力部が過大な電圧で破壊されることがない。

#### 【0092】

入力端子T 9 1、T 9 3 に負電源電位V S Sをはるかに下回る負の電位が印加された場合、保護ダイオードD 2、D 4を介して負電源端子T 3 から入力端子T 9 1、T 9 2 に電流が流れ込む。そのため、差動演算増幅器O P D及びI C内部回路9 1から流れ込む電流は極めて小さくなり、差動演算増幅器O P Dの入力部に過大な電圧がかかることがなく、差動演算増幅器O P Dが過大な電圧で破壊されることがない。

#### 【0093】

このように、実施形態4の入力保護回路では、入力端子T 9 1、T 9 2 に過大な電圧（サージ電圧）が印加された場合、保護ダイオードD 9 1、D 9 2、D 9 3、D 9 4がオン状態になる。これにより、I C内部回路9 1及び差動演算増幅器O P Dに過大な電流が流れることを防ぎ、I C内部回路9 1及び差動演算増幅器O P Dを静電破壊から保護することができる。

#### 【0094】

さらに、実施形態4の入力保護回路では、入力端子T 9 1、T 9 2 に保護ダイオードD 9 2、D 9 4を直接接続するため、抵抗R 9 1、R 9 2に流れる電流を小さくすることができる。そのため、抵抗R 9 1、R 9 2にかかる電圧を小さく

抑えることができる。これにより、IC内部回路91及び差動演算増幅器OPDを静電破壊から保護できるとともに、入力抵抗R91、R92が過大な電圧や過大な電流によって破壊されることを防ぐことができる。

#### 【0095】

以上のように、実施形態4の入力保護回路では、入力端子T91、T92に印可される入力信号V1P、V1Mが図13に示すように正電源電位レベルVDDを上回ることにはあるが負電源電位レベルVSSを下回ることはない場合に、入力信号V1P、V1Mを歪ませることなくIC内部回路11へ良好な状態で伝搬することでき、かつ過大な電圧（サージ電圧）が印可された場合は、保護ダイオードD91、D93またはD92、D94がオン状態になることで、IC内部回路91及び差動演算増幅器OPD及び入力抵抗R91、R93が過大な電圧や過大な電流によって破壊されることを防ぐことができる。

#### 【0096】

さらに実施形態4の入力保護回路では、仮想接地節点N91、N92の電位V2P、V2Mが常に一定の電位V2Cに保たれるため、入力インピーダンスを抵抗R91、R93の抵抗値r1のみによって決めることができ、半導体集積回路を効率良く設計することができる。

#### 【0097】

実施形態4の入力保護回路は、差動反転増幅回路90を用いることにより、差動入力信号に対する信号を調整することができる。そのため、差動入力信号に対する信号調整を行うとともに、IC内部回路91が静電破壊から保護することができる。これにより、IC内部回路91を静電破壊から保護しつつ、入力信号の増幅率を高め、歪のない良好な状態で入力信号をIC内部回路91に入力することができる。

#### 【0098】

なお、発明は、前述の実施形態1乃至4に限らず、種々の半導体集積回路を静電破壊から保護するのに応用することができる。本発明の実施形態においては、例えば、実施形態4においては、帰還抵抗が可変抵抗でバイアス電位が可変である反転増幅回路に実施形態2を適用し、実施形態5においては、差動反転増幅回

路に実施形態１を適用した。本発明は、これに限らず、静電破壊から保護する必要のある内部回路に対して適用することができる。本発明の入力保護回路により、静電破壊から内部回路を保護し、信号状態を良好に保ちつつ内部回路に入力信号を入力することができる。

#### 【００９９】

さらになお、本発明の実施の形態においては反転増幅回路を用いて説明したが、本発明の入力保護回路は、反転増幅回路に限らず、非反転増幅回路、加算回路、微分回路、積分回路等に対しても適用することができる。また、本発明の実施の形態においては、入力保護回路により反転増幅回路の抵抗（抵抗 $R1$ 、 $R91$ 、 $R93$ ）を静電破壊から保護することができるが、本発明の入力保護回路は、抵抗に限らず、容量素子等の種々の素子、あるいは前段回路を静電破壊から保護することができる。これにより、本発明の入力保護回路により、内部回路のみならずその前段の回路や素子を静電破壊から保護することができる。

#### 【０１００】

##### 【発明の効果】

本発明によれば、静電破壊を防止しつつ、入力信号の波形を良好に保つことができ、さらには入力抵抗の静電破壊を防ぐことができる入力保護回路を提供することができる。

##### 【図面の簡単な説明】

##### 【図１】

本発明の実施の形態１における入力保護回路を示すブロック図である。

##### 【図２】

本発明の実施の形態１における保護ダイオードを示すブロック図である。

##### 【図３】

本発明の実施の形態１における入力保護回路の入力信号を示す信号レベル図である。

##### 【図４】

本発明の実施の形態１における入力保護回路の動作を示すブロック図である。

##### 【図５】

本発明の実施の形態 1 における入力保護回路の動作を示すブロック図である。

【図 6】

本発明の実施の形態 2 における入力保護回路を示すブロック図である。

【図 7】

本発明の実施の形態 2 における入力保護回路の入力信号を示す信号レベル図である。

【図 8】

本発明の実施の形態 2 における入力保護回路の動作を示すブロック図である。

【図 9】

本発明の実施の形態 2 における入力保護回路の動作を示すブロック図である。

【図 10】

本発明の実施の形態 3 における入力保護回路を示すブロック図である。

【図 11】

本発明の実施の形態 3 における抵抗を示すブロック図である。

【図 12】

本発明の実施の形態 4 における入力保護回路を示すブロック図である。

【図 13】

本発明の実施の形態 4 における入力保護回路の入力信号の信号レベル図である。

【図 14】

従来例における入力保護回路を示すブロック図である。

【図 15】

従来例における入力保護回路の入力信号の信号レベル図である。

【図 16】

従来例における入力保護回路の動作を示すブロック図である。

【図 17】

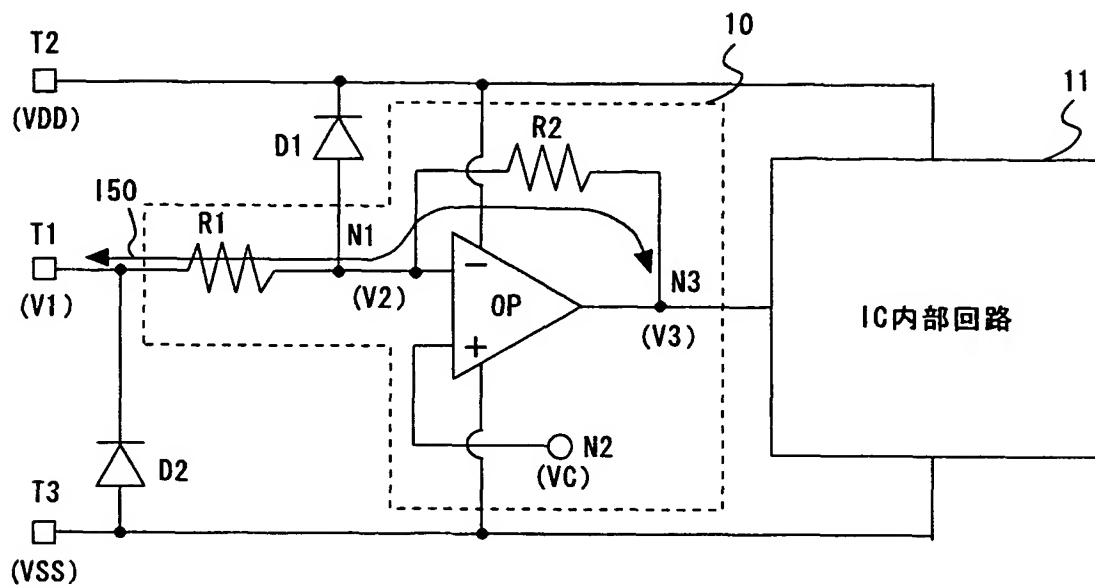
従来例における入力保護回路の動作を示すブロック図である。

【符号の説明】

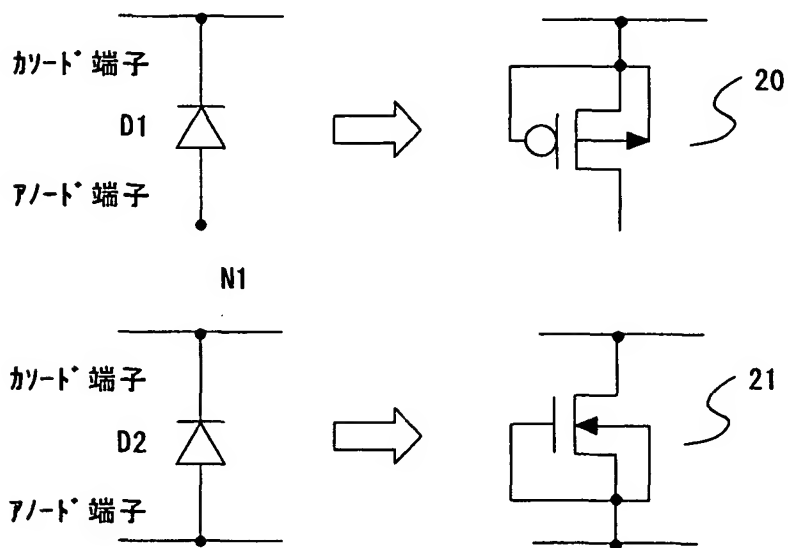
10 反転増幅回路、 11, 91 IC内部回路 90 差動反転増幅回路

【書類名】 図面

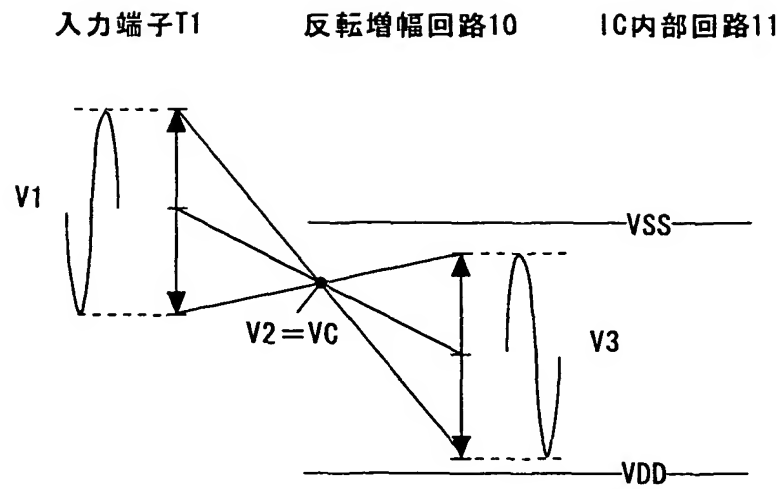
【図 1】



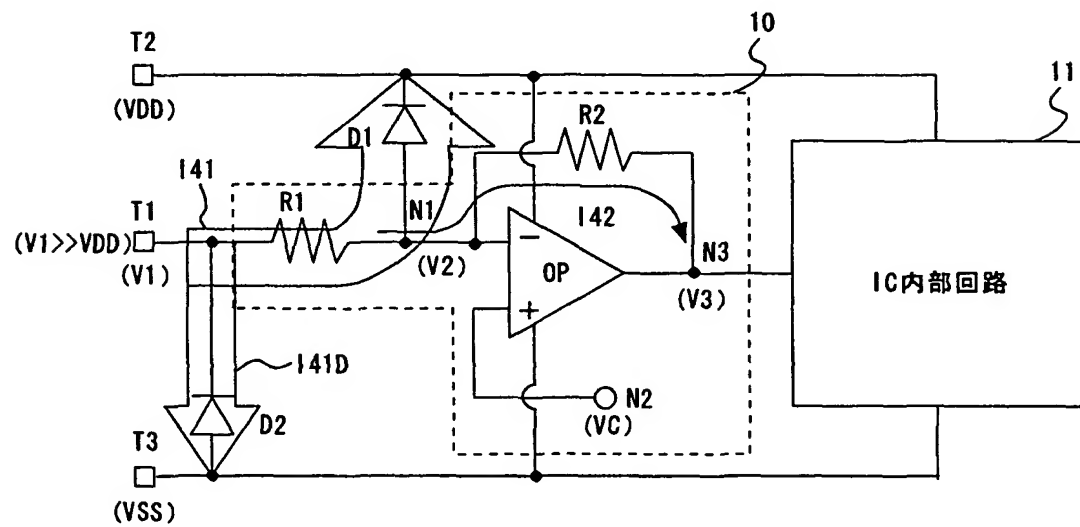
【図 2】



【図 3】

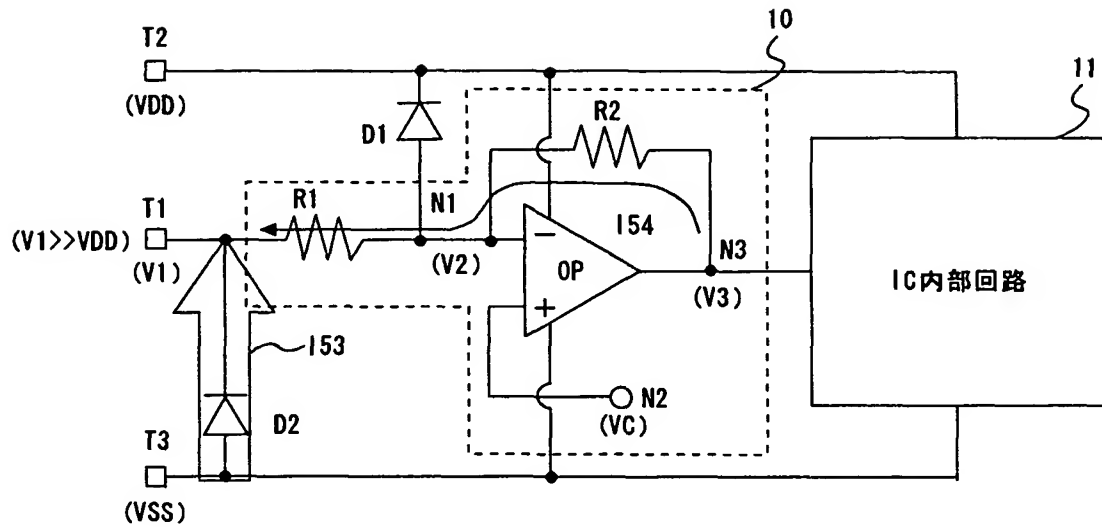


【図 4】

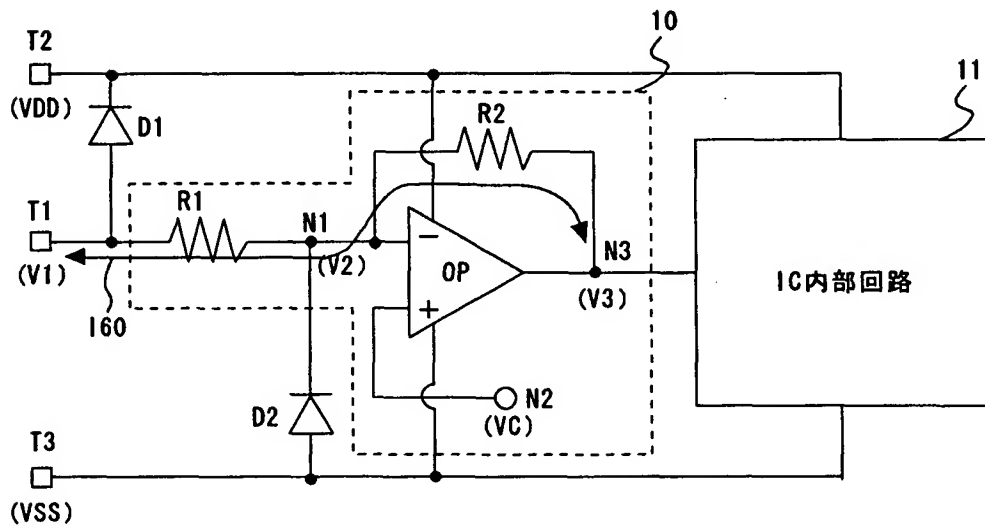




【図 5】



【図 6】

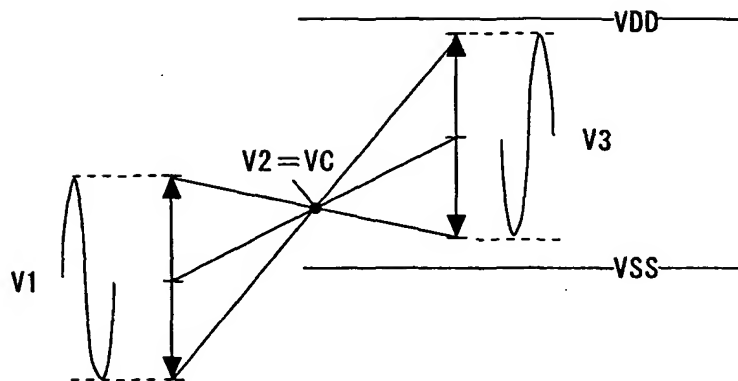


【図 7】

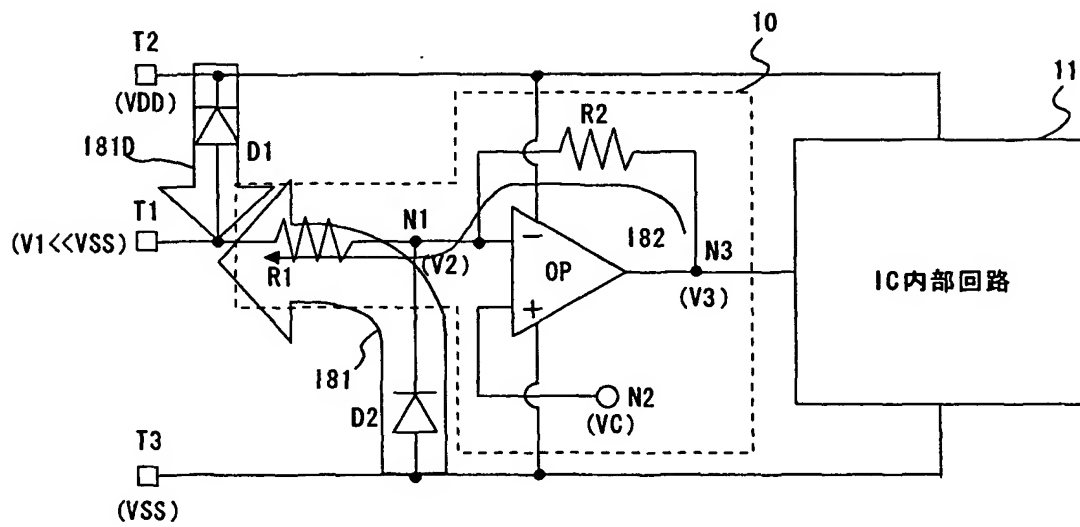
入力端子T1

反転増幅回路10

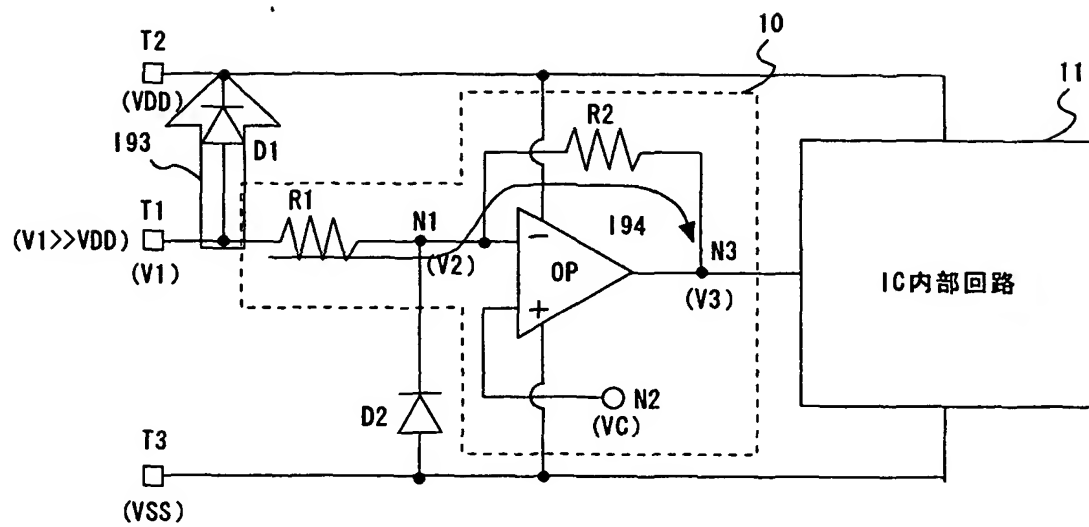
IC内部回路11



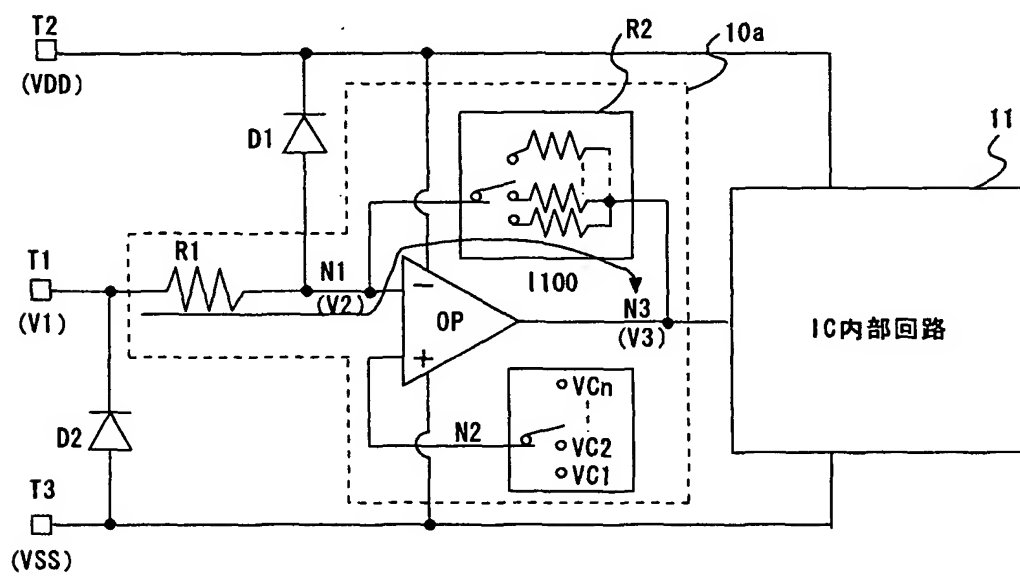
【図 8】



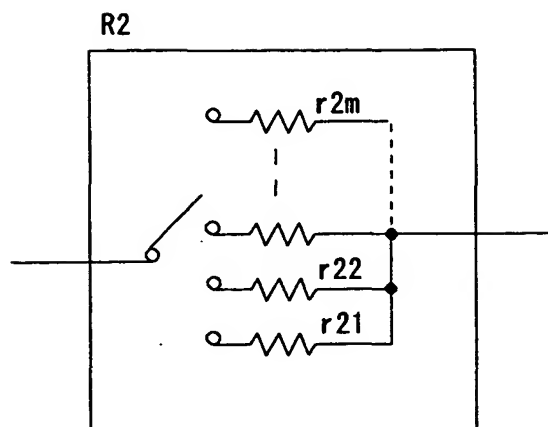
【図 9】



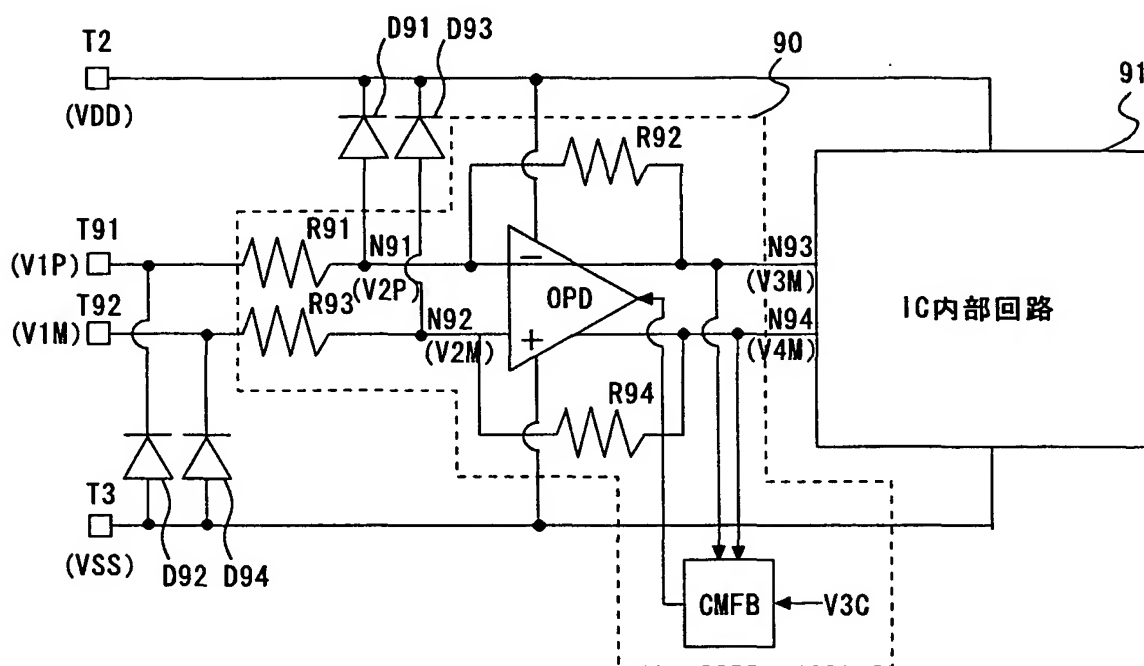
【図 10】



【図 1 1】



【図 1 2】

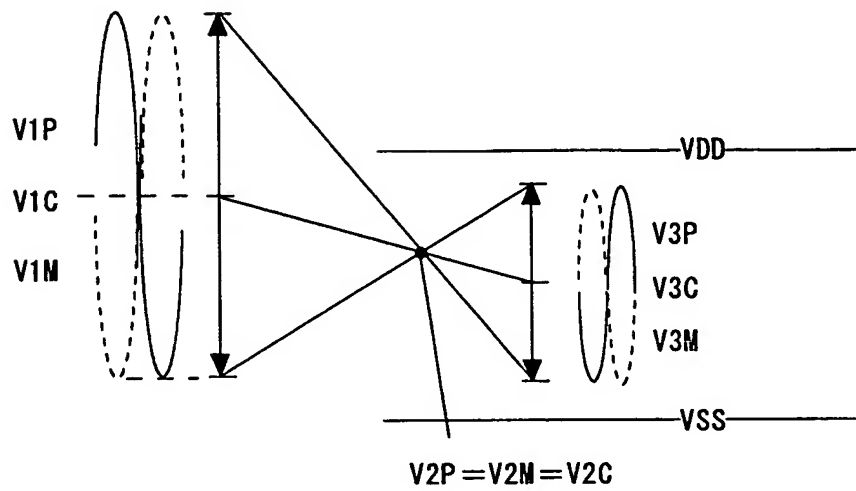


【図 1 3】

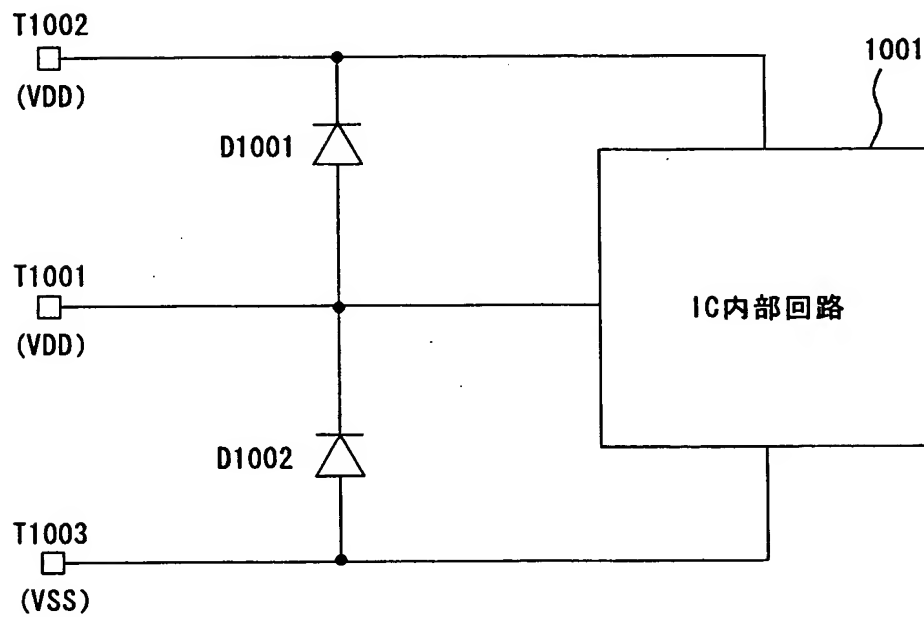
入力端子T91, T92

反転増幅回路90

IC内部回路91

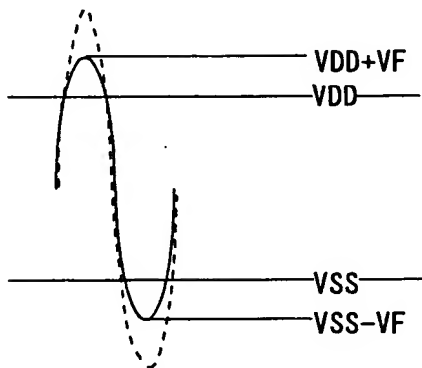


【図 1 4】

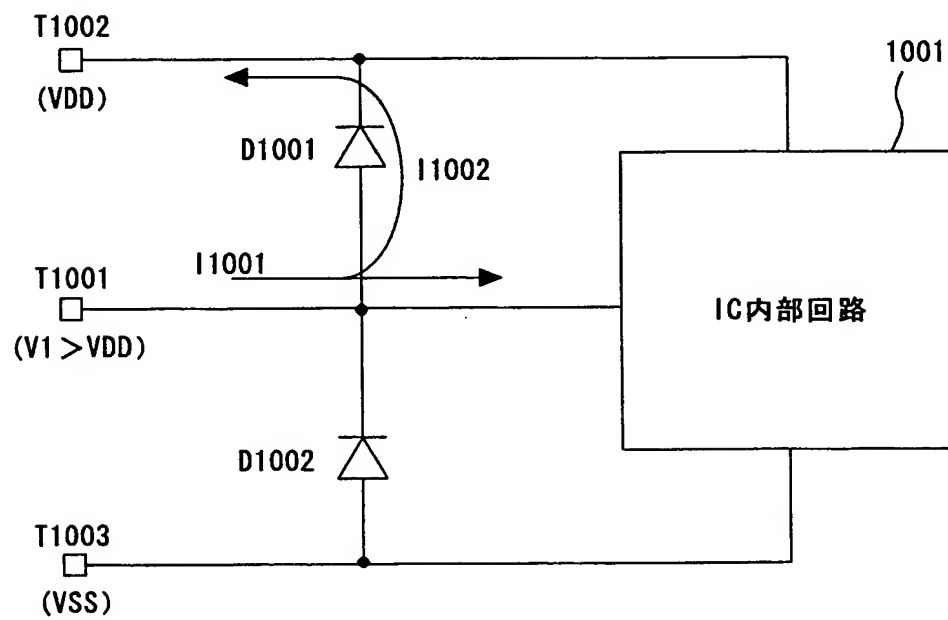


【図 1 5】

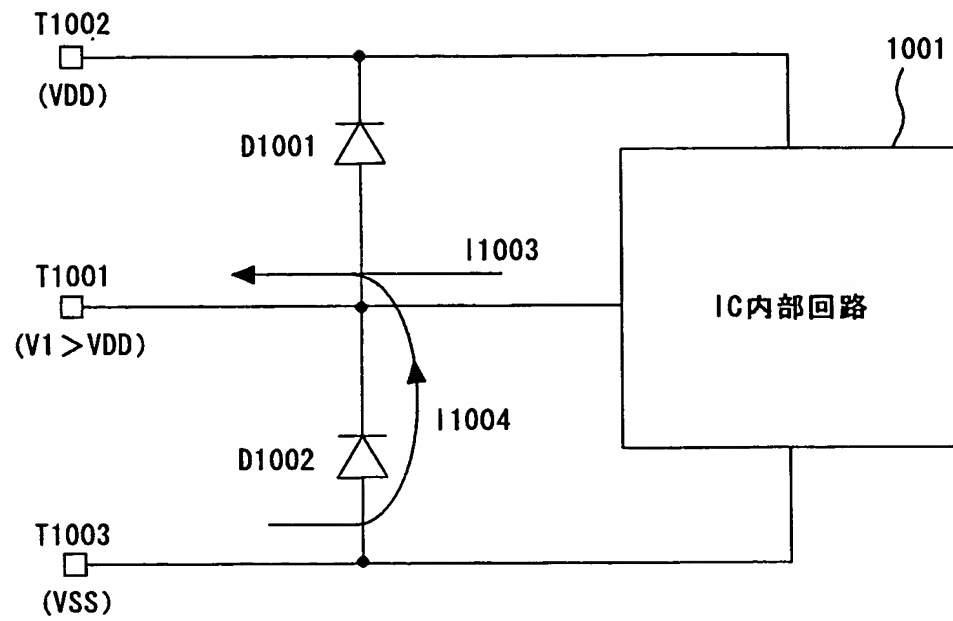
入力端子T1001      IC内部回路1001



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】

静電破壊を防止しつつ、入力信号の波形を良好に保つことができ、さらには入力抵抗の静電破壊を防ぐことができる入力保護回路を提供することを目的とする。

【解決手段】

本発明にかかる入力保護回路では、反転増幅回路 10 が、IC 内部回路 11 に入力可能な信号の電位の範囲である入力範囲を超えた入力信号 V1 が当該入力範囲に含まれるように変換する。さらに、保護ダイオード D1 が、入力抵抗 R1 と演算増幅器 OP との間の仮想接地節点 N1 と正電源 T2 とに接続され、入力範囲を正電源 T2 側に過大に超えた入力信号 V1 を正電源 T2 側に流し、保護ダイオード D2 が、入力端子 T1 と入力抵抗 R1 との間の任意の点と負電源 T3 とに接続され、入力範囲を負電源 T3 側に過大に超えた入力信号 V1 の入力電流を負電源 T3 から入力端子 T1 に流すことにより IC 内部回路 11 を保護する。

【選択図】 図 1



## 認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 2 5 8 4 8
受付番号	5 0 2 0 1 1 4 7 3 5 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 8 月 5 日

### < 認定情報・付加情報 >

【提出日】 平成14年 8月 2日

次頁無

【書類名】 出願人名義変更届（一般承継）  
【提出日】 平成15年 1月14日  
【あて先】 特許庁長官殿  
【事件の表示】  
【出願番号】 特願2002-225848  
【承継人】  
【識別番号】 302062931  
【氏名又は名称】 N E Cエレクトロニクス株式会社  
【承継人代理人】  
【識別番号】 100103894  
【弁理士】  
【氏名又は名称】 家入 健  
【提出物件の目録】  
【物件名】 承継人であることを証明する登記簿謄本 1  
【援用の表示】 特願 2 0 0 2 - 3 1 8 4 8 8  
【物件名】 承継人であることを証明する承継証明書 1  
【援用の表示】 特願 2 0 0 2 - 3 1 8 4 8 8  
【包括委任状番号】 0218232  
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社